

#3
10/26/01
muller

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Eiji HASEGAWA

Serial No. (unknown)

Filed herewith

SEMICONDUCTOR DEVICE HAVING
A PLURALITY OF GATE INSULATING
FILMS OF DIFFERENT THICKNESSES,
AND METHOD OF MANUFACTURING
SUCH SEMICONDUCTOR DEVICE

JC997 U.S. PRO
09/883373
06/19/01

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's
corresponding patent application filed in Japan on June 20,
2000 under No. 2000-185283.

Applicant herewith claims the benefit of the
priority filing date of the above-identified application for
the above-entitled U.S. application under the provisions of 35
U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON



By

Robert J. Patch
Attorney for Applicant
Registration No. 17,355
Customer No. 00466
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

June 19, 2001

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

075
JC997 U.S. PTO
09/883373
06/19/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 6月20日

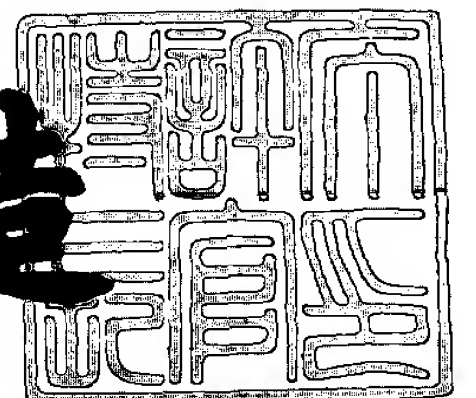
出願番号
Application Number: 特願2000-185283

出願人
Applicant(s): 日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014653

【書類名】 特許願

【整理番号】 74112255

【提出日】 平成12年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/318

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 長谷川 英司

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、

該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域以外にフッ素を注入する工程と、

酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、

該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、

酸化膜を形成する工程と、

酸化膜の膜厚が一番厚く要求される領域以外の酸化膜を除去する工程と、

前記酸化膜が除去され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域以外にフッ素を注入する工程と、

酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、

該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 3】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、

酸化膜を形成し、酸化膜上部にポリシリコン膜を形成する工程と、

ゲート絶縁膜の膜厚が一番厚く要求される領域以外のポリシリコン膜及び酸化膜を除去する工程と、

前記ポリシリコン膜及び酸化膜が除去され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域以外にフッ素を注入する工程と、

酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、
該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、
ゲート絶縁膜上部にポリシリコン膜を形成する工程と、
ゲート絶縁膜の膜厚が一番厚く要求される領域のゲート絶縁膜上部のポリシリコン膜及び前記酸化性雰囲気中で形成した酸化膜を除去する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 4】 膜厚の異なる複数のゲート絶縁膜の膜厚の差が 0.2 nm 以上である請求項 1～3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記窒化処理がプラズマで励起したラジカル窒素や原子状窒素で行われる請求項 1～4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気中で酸化され、膜厚の異なるゲート酸化膜を形成されており、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置。

【請求項 7】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、酸化膜の膜厚が一番厚く要求される領域に酸化膜が形成され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気中で酸化され、膜厚の異なるゲート酸化膜を形成されており、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置。

【請求項 8】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも 1 つの絶縁膜が酸化膜で形成されており、かつ該ゲート絶縁膜の少なくとも 2 つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気中で酸化され、膜厚の異なるゲート

酸化膜を形成されており、該ゲート酸化膜の表面を窒化处理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置。

【請求項 9】 膜厚の異なる複数のゲート絶縁膜の膜厚の差が 0.2 nm 以上である請求項 6～8 のいずれかに記載の半導体装置。

【請求項 10】 前記窒化处理がプラズマで励起したラジカル窒素や原子状窒素で行われた請求項 6～8 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置とその製造方法に関し、詳しくはゲート絶縁膜の表面近傍に窒素を含む絶縁膜が存在する半導体装置とその製造方法に関する。

【0002】

【従来の技術】

半導体装置の心臓部であるゲート絶縁膜を、いかに高信頼性、高制御性で形成するかが半導体装置開発における最も重要な課題である。その様な中で、近年のロジック系 M I S（金属－絶縁膜－半導体）型デバイスでは、トランジスタのゲート絶縁膜の膜厚は急速に薄くなり、3.0 nm 以下の酸化膜が使われるようになり、その勢いはとどまるところを知らない。しかしながら、薄膜化に伴い顕在化する問題も多く、リーク電流の増加やゲート電極からの不純物の拡散（基板への突き抜け）が深刻になってきている。

【0003】

ゲートリーク電流の問題を解決する方法として、比誘電率が高い材料をシリコン酸化膜に代えてゲート絶縁膜として使用する方法がある。その一つの候補として、窒化膜あるいは酸化膜に窒素を導入した酸窒化膜を用いる方法がある。導入する窒素の量にも依存するが、比誘電率が酸化膜のそれよりも大きくなるため、物理的な膜厚を増やすことができ、ダイレクトトンネル電流、つまりゲートリーク電流を流れ難くすることができる。この窒素導入は、不純物（ボロン）の突き抜けを抑制する効果もあるので、2.0 nm 以下のゲート絶縁膜として有望視されている。

【 0 0 0 4 】

一方で、同一チップの中に複数の目的や機能を持ったデバイスを作りこむ技術が主流に成ってきている。その時、用いるデバイスによって、ゲート絶縁膜の膜厚が異なる場合が多い。例えば、最速のスウィッチングを求められるコアトランジスタは1.5 nmで、外部とのインターフェース用には、電源電圧が高い分、厚い酸化膜が求められ、例えば4.0 nmが必要になる。もちろん、デバイスの機能によっては、それ以外の膜厚が要求される。

【 0 0 0 5 】

従って、例えば、1.5 nmの窒素を含んだ絶縁膜と、SRAM用の2.0 nmの2種類のゲート絶縁膜を同時に実現する必要がでてくる。それらをいかに簡便に、しかも、各々のデバイスのパフォーマンスや信頼性を劣化させることなく実現するかが重要になる。

【 0 0 0 6 】

ところが、次に示す従来の方法では、様々な問題が生じてくる。

【 0 0 0 7 】

(従来例A)

従来例Aとして、図11を示して、その問題点を提起する。フッ素注入による増速酸化効果を用いて膜厚の異なる酸化膜を作る方法と、NOガスを用いた酸窒化法で薄い酸窒化膜を形成する方法を用いている。また、薄膜として1.5 nm、厚膜として2.0 nmのゲート絶縁膜を形成する場合について述べる。

【 0 0 0 8 】

まず、2.0 nmの厚いゲート酸化膜を所望する領域と1.5 nmを所望する領域の内、通常の写真レジスト塗布、露光、現像工程を経て、1.5 nmの領域のみに写真レジストを形成する(a)。

【 0 0 0 9 】

次に、フッ素イオンを注入する。条件は3 KeV、 5×10^{14} atoms/cm²で行う(b)。フッ素は露出した領域(2.0 nm用が所望される領域)のみに注入される。

【 0 0 1 0 】

その後、フォトレジストを専用の薬液で剥離した後、ゲート酸化膜を形成するための洗浄工程を行う。例えば、水酸化アンモニウム混合溶液と、続けて硫酸と過酸化水素水の混合溶液を用いると良い。この状態でこれらの洗浄で形成された化学酸化膜（自然酸化膜）が約 1.0 nm 形成されていることになる（c）。その後、必要に応じて、この化学酸化膜を除去してもよい。

【 0 0 1 1 】

次に、酸化処理を行う。通常のシリコン表面、つまりはフッ素の注入を行わない領域で、酸化膜厚が 1.6 nm になるように条件に設定すると良い。例えば、枚葉型のランプ加熱装置を用いて、50 Torr 下、950℃で9秒間の処理を行うと、1.6 nm が実現できる。この時、フッ素を注入した領域では、2.1 nm の膜厚となり、薄い領域との膜厚差 0.5 nm が得られる（d）。

【 0 0 1 2 】

この状態で、NO ガスを用いた熱処理を行う。例えば、NO ガス 2 SLM、100 Torr、温度 1000℃で30秒間処理すると前記酸化膜は窒化される。この場合、窒素は酸化膜を拡散して、シリコン基板界面までに到達して、シリコン基板と反応し、そこで窒化膜あるいは酸窒化膜を形成する。界面の窒素濃度は、約 5 % になる（e）。

【 0 0 1 3 】

この時、酸化膜も窒化されるために、トータルとしての絶縁膜の比誘電率は、酸化膜のそれよりも大きくなる。実際、酸化膜の比誘電率 3.9 に対して、窒化された領域の絶縁膜の比誘電率は、4.3 程度になる。その結果、酸化膜に換算した膜厚は、各々薄く計算され、薄膜の 1.6 nm は 1.5 nm に、厚膜の 2.1 nm は 2.0 nm になる。

【 0 0 1 4 】

それ以降は、ポリシリコン堆積、フォトレジスト工程によりゲート電極を加工して、ソース及びドレイン形成等を経てトランジスタ構造を得る。

【 0 0 1 5 】

ところが、この従来例 A では、十分な膜厚差は得られるものの、NO ガスの処理によって界面に窒化層ができることに問題がある。界面に窒化層ができると、

シリコン基板界面に界面準位と呼ばれる欠陥が形成される。これは、電荷のやり取りを行うのでゲート絶縁膜の信頼性を損なうだけでなく、トランジスタのチャネル部を流れるキャリアを散乱することになり、移動度が劣化、その結果、オン電流が劣化し、デバイスの高速化が妨げられる。しかも、界面にしか窒素がない構造であるので、ゲート電極から不純物が拡散してゲート絶縁膜内に侵入してしまう。不純物、例えばボロンは窒化層でその拡散が止まるが、窒素の位置が界面であれば酸化膜中に侵入し、膜中に蓄積される。この不純物侵入は、ゲート絶縁膜としての信頼性を著しく劣化させる原因となる。寿命が1桁以上劣化するので、実使用には問題が生じる。

【 0 0 1 6 】

(従来例B)

この窒素の層を界面から離して上記の問題を解決しようとする試みも有る。次の図12に示す例はその場合であり、フッ素注入後の薄膜部と厚膜部のゲート絶縁膜の構造のみを抽出した図である。

【 0 0 1 7 】

NOガスを用いた酸窒化方法で、界面から窒素を離すためには、窒化した後に酸素雰囲気中で酸化して、窒化層の下に新たに酸化膜を形成しなければならない。従って、前洗浄と必要に応じて前処理を行った状態(a)で、まずNOガス雰囲気中で酸窒化膜を形成した後(b)、酸素雰囲気中で熱処理して、前記酸窒化膜の下部に酸化膜を形成する(c)。例えば、NOガスによる酸窒化膜形成は、850℃、120秒で、酸化膜換算膜厚0.8nmが実現でき、その後の酸化処理条件として、ドライ酸素中、1050℃で30秒間を選択すれば、トータルとして1.5nmの薄膜ゲート絶縁膜が実現でき、その構造は表面部に厚さ0.8nmの酸窒化膜を有し、その下部は0.7nmの酸化膜となる(いずれも酸化膜換算膜厚)。

【 0 0 1 8 】

ところが、この従来例Bの場合、次に述べるような問題がある。

【 0 0 1 9 】

①フッ素注入した厚膜(あるいは中間膜)領域の膜厚が、ほとんど増加せず、

フッ素注入の効果がなくなってしまう（b）。もともと、フッ素による膜厚増加は、フッ素によって酸化速度が速くなることを利用したものであるが、ゲート絶縁膜形成のプロセスとして、最初にNOガスによる酸窒化を行ってしまうと、その増速効果がほとんどなくなってしまう。NOガスでは窒化が平行して進むため、成膜速度そのものも遅く、その間にフッ素が基板中から蒸発してしまうし、窒化そのものを増速させる効果はほとんどないためである。前述の例では、わずか0.1nmしか増速しない。従って、膜厚が異なるゲート絶縁膜をフッ素注入を使用して形成することはできなくなる。

【0020】

②しかも、後で酸化工程を行うため、初期に酸窒化した膜中の窒素が抜け出て、窒素濃度を高くすることができない問題もある。窒素濃度が十分でないと、ボロンが膜中に侵入して信頼性が劣化したり、シリコン基板まで突き抜ければ、しきい値電圧のシフトをもたらし、デバイスの設計が困難になる弊害が出る。

【0021】

（従来例C）

そこで、上記従来例の欠点をできるだけ補うべく、まず酸化して、その後NOガスで酸窒化して、再び酸化する方法が取られることもある。最初の酸化で、フッ素による増速効果を得て、次に酸窒化層を形成し、界面にできてしまったその酸窒化層を、最後の酸化でできるだけ表面にもっていく（界面に酸化膜を形成する）意図である。ところが、一番薄いゲート絶縁膜が、3.0nm程度であれば、この複雑なプロセスによって、実現可能であるが、実際に、ゲートリーク電流低減を目的として窒化層を必要とすることになる薄い領域（2.5nm以下）では、初期の酸化はあまり厚くできないため、十分な膜厚差は形成できないばかりでなく、次工程のNO酸窒化でも導入窒素量も少なく、しかも、最後の酸化も十分に行うことはできないため、窒化層を界面から十分に遠ざけることができない。その結果、不純物の拡散を抑制できず、信頼性劣化や、十分なトランジスタのパフォーマンスを得ることができない。

【0022】

【発明が解決しようとする課題】

本発明の目的は、このような従来の方法の欠点を解決することにより、十分な膜厚差を作り出し、しかも、簡便で、信頼性が高く、不純物の突き抜けを抑制し、更に消費電力の少ない高速のトランジスタを実現する半導体装置の製造方法及びその製造方法により形成される半導体装置を提供することにある。

【 0 0 2 3 】

【課題を解決するための手段】

本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入する工程と、酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

【 0 0 2 4 】

また、本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、酸化膜を形成する工程と、酸化膜の膜厚が一番厚く要求される領域以外の酸化膜を除去する工程と、前記酸化膜が除去され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入する工程と、酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

【 0 0 2 5 】

また、本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、酸化膜を形成し、酸化膜上部にポリシリコン膜を形成する工程と、ゲート絶縁膜の膜厚が一番厚く要求される領域以外のポリシリコン膜及び酸化膜を除去する工程と、前記ポリシリコン膜及び酸化膜が除去され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域

にフッ素を注入する工程と、酸化性雰囲気で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、ゲート絶縁膜上部にポリシリコン膜を形成する工程と、ゲート絶縁膜の膜厚が一番厚く要求される領域のゲート絶縁膜上部のポリシリコン膜及び前記酸化性雰囲気で形成した酸化膜を除去する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

【 0 0 2 6 】

また、本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気で酸化され、膜厚の異なるゲート酸化膜を形成されており、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置が提供される。

【 0 0 2 7 】

また、本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、酸化膜の膜厚が一番厚く要求される領域に酸化膜が形成され、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気で酸化され、膜厚の異なるゲート酸化膜を形成されており、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置が提供される。

【 0 0 2 8 】

更に、本発明に従って、同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、該ゲート絶縁膜の少なくとも1つの絶縁膜が酸化膜で形成されており、かつ該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入された後、酸化性雰囲気で酸化され、膜厚の異なる

ゲート酸化膜を形成されており、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積され、表面近傍に窒素を含む絶縁膜が形成されていること特徴とする半導体装置が提供される。

【 0 0 2 9 】

【発明の実施の形態】

本発明は、膜厚の異なる複数のゲート絶縁膜を有する半導体装置において、その内、少なくとも2つの絶縁膜が窒素を含むものであって、その製造方法として、比較的厚い膜厚が要求される領域にフッ素を注入した後、酸化性雰囲気中で酸化して、膜厚差が0.2 nm以上ある、膜厚の異なるゲート酸化膜を形成した後、その表面を窒化処理又は窒化膜を堆積することを特徴とする。また、その方法によって形成される、異なる膜厚を有する複数のゲート絶縁膜の内、少なくとも2つのゲート絶縁膜の表面近傍に窒素を含む絶縁膜が存在する構造を特徴とする。

【 0 0 3 0 】

本方法によれば、十分な膜厚差を有するゲート絶縁膜を形成でき、用途に合ったトランジスタの設計が可能、しかもそれが容易になるばかりでなく、十分な窒素が絶縁膜（酸化膜）に存在するために、ゲートリーク電流が抑制でき、回路の待機電力の低減が可能になる。更に、それらの窒素はゲート電極からの不純物の拡散を抑制できるので、しきい値電圧の変動を抑制できるし、ゲート絶縁膜そのものの信頼性劣化を防止できる。しかも、それらの窒素は絶縁膜の表面近傍に分布して、決して絶縁膜とシリコン基板界面に導入されない。このことは、界面準位の発生を抑制でき、結果としてトランジスタの動作電流（オン電流）劣化を防止できる。従って、各々の用途を持った、膜厚の異なるゲート絶縁膜を有する半導体装置が、プロセスの煩雑さを回避しながら、つまりはコストを削減しながら形成でき、しかも、各々のトランジスタ特性は、高信頼性を保ったまま、高性能、高速化が実現できる効果を特徴とする。

【 0 0 3 1 】

【実施例】

以下に、実施例を挙げて本発明をより詳細に説明する。

【 0 0 3 2 】

(実施例 1)

図 1 は本発明の構造について説明する、2つの異なる膜厚を有するゲート絶縁膜を同一ウエハ上に形成する工程を順に追って説明する、半導体装置のゲート絶縁膜部分の断面構造図である。簡単のために、それらのゲート絶縁膜が隣接している場合を表記しているが、同一チップあるいは同一ウエハ上という条件の範囲で別々に存在しても、本発明の特徴、効果は変わらない。また、以降は、厚膜として 2.0 nm を、薄膜として 1.5 nm を例にとり、それらの膜厚や、それを形成するプロセス条件で説明するが、本発明の特徴や効果はそれらの条件が変化しても変わらないことを付記する。

【0033】

初めに、2.0 nm の厚いゲート酸化膜を所望する領域と 1.5 nm の薄いゲート酸化膜を所望する領域（いずれも酸化膜換算膜厚）で、通常のフォトレジスト塗布、露光、現像工程を経て、1.5 nm の領域のみにフォトレジストを形成する（a）。

【0034】

次に、フッ素イオンを注入する。条件は、3 KeV、 5×10^{14} atoms / cm^2 で行う（b）。

【0035】

フォトレジストを専用の薬液で剥離した後、ゲート酸化膜を形成するための洗浄工程を行う。例えば、水酸化アンモニウム混合溶液と、続けて硫酸と過酸化水素水の混合溶液を用いると良い。この状態でこれらの洗浄で形成された化学酸化膜（自然酸化膜）が約 1.0 nm 形成されていることになる（c）。この後、必要に応じて、この化学酸化膜を除去してもよい。

【0036】

次に、酸化処理を行う。通常のシリコン表面、つまりはフッ素の注入を行わない領域で、酸化膜厚が 1.7 nm になるように条件に設定する。例えば、枚葉型のランプ加熱装置を用いて、50 Torr 下、950℃で10秒間の処理で実現できる。この時、フッ素を注入した領域では、2.2 nm の膜厚となり、薄い領域との膜厚差 0.5 nm が得られる（d）。

【 0 0 3 7 】

次に、こうして十分な膜厚差ができた2つの酸化膜の表面を窒化する。例えば、プラズマ発生源装置を用いて作り出した窒素ラジカルや活性窒素を、500℃の低温下において供給し、前述ゲート酸化膜の表面を窒化する。例えば、3KWで30秒間、上記窒化源を照射すると、表面から1nm程度の領域まで窒素が混入して、表面に酸窒化膜が形成される。その時、表面窒素濃度は約20%になる(e)。

【 0 0 3 8 】

この表面の酸窒化膜層のために、トータルとしての絶縁膜の比誘電率は、酸化膜のそれよりも大きくなる。実際、酸化膜の比誘電率3.9に対して、窒化された領域の絶縁膜のそれは、5.0程度になる。その結果、酸化膜に換算した膜厚は、各々薄く計算され、薄膜の1.7nmは1.5nmに、厚膜の2.2nmは2.0nmになる。

【 0 0 3 9 】

それ以降は、ポリシリコン堆積、フォトリソ工程によりゲート電極を加工して、ソース及びドレイン形成等を経てトランジスタ構造を得る。図2は、以上のプロセスを経た時の、最終的なトランジスタの構造の例である。

【 0 0 4 0 】

このような構造を有した2つの異なる膜厚を有するトランジスタは、通常、その動作目的が異なる。例えば、1.5nmは高速動作であり、電源電圧も1.0Vで駆動される。2.0nmはSRAMのトランジスタとして有効であり、電源電圧は1.2Vで駆動される。

【 0 0 4 1 】

次に、本発明の効果を順次説明する。

【 0 0 4 2 】

図3は、ゲートリーク電流を調べるために電流－電圧特性を評価した場合である。本発明の薄膜の酸化膜換算膜厚1.5nmの絶縁膜は、リファレンスとしての1.5nmの純粋な酸化膜よりも1桁ゲートリーク電流が低いことがわかる。これは、導入された窒素によって比誘電率が大きくなった効果である。ここには

記述しないが、2.0 nmの絶縁膜も、約1桁の低減効果があることは確認済みである。

【0043】

図4はpMOSトランジスタのしきい値電圧の比較をしたものである。従来例の純粋な酸化膜1.5 nmではp型のゲート電極から不純物としてのボロンが拡散し、シリコン基板まで到達して、しきい値が大きくプラス側にシフトしているが、本発明では、シフトは理論的（理想的）状態とほとんど変わらず、ボロンの突き抜けが抑制できていることを示している。

【0044】

以上の特性は、実は、前述の従来例Aでも実現できる。NO酸窒化で十分な窒素を導入させるためには非常に高温の処理等が必要ではあるが、導入された窒素によって比誘電率は5.0程度まで制御することができるため、ゲートリーク電流は1桁程度低減できる可能性はある。しかも、膜中の窒素はシリコン基板へ突き抜けてしまうボロンを停止することはできるため、しきい値の変動を抑制できる効果も同じである。

【0045】

ところが、従来例Aと本発明の差は、ゲート絶縁膜の信頼性やトランジスタのパフォーマンスに現れて、本発明は、従来例Aで劣化するそれらの特性を改善する効果がある。

【0046】

まずその一つが、信頼性である。図5はTDDB特性と呼ばれる電氣的なストレスを印加した時に、破壊するまでの寿命を調べた結果である。1条件に対して、89つのデバイスを測定し、その寿命の分布を見たものであるが、破壊までの時間が長いほど寿命が長く、信頼性が高いことを示している。この図より、本発明は従来例Aよりも1桁程度寿命が長い様子がわかる。これは、ゲート電極の不純物であるボロンが、絶縁膜中に入らないことに起因している。つまり、従来例Aでは、窒素の層が絶縁膜の界面あるいは（かつ）界面に近い部分に存在するので、ボロンはその領域までは拡散してしまい、絶縁膜中にボロンが侵入、蓄積することになる。しかしながら、本発明では、絶縁膜の表面に窒化層が存在するた

めに、ボロンは一切絶縁膜中に侵入しない。ボロンの侵入は、信頼性の低下をもたらす結果になるため、表面の窒化膜で停止させる本発明の方が優れている結果である。

【 0 0 4 7 】

また、界面付近に窒素が存在すると、シリコン界面に界面準位と呼ばれる欠陥の一種が発生する。それは、トランジスタのキャリアの移動度を極端に遅くして、結果としてオン電流の低下を招き、トランジスタのスイッチング動作速度を低下させる。従って、窒素を界面から離す必要がある。本発明は、従来例 A のように界面近傍に窒素が無いために、そのような移動度の劣化は生じず、高速のデバイスの実現が可能になる。

【 0 0 4 8 】

(実施例 2)

今までの例では、1. 5 nm と 2. 0 nm の膜厚差を生じさせる場合について紹介したが、従来例 B のようなプロセスを経ないかぎりにおいては、つまりは、ゲート絶縁膜を形成する工程で、最初に窒化工程を行わず、まず十分な熱酸化処理を行えば、様々な膜厚差を有するゲート絶縁膜が形成できる。図 6 は、フッ素注入の条件を変えて、一定の酸化条件で酸化した場合、実現できる膜厚差について調べた結果である。前記の 0. 5 nm の差以外にも、例えばドーズ量を低減することによって、膜厚差は 0. 2 nm にすることができるし、ドーズ量を多くすれば、膜厚差を 1. 0 nm まで増加させることもできる。後者の場合を例にとると、酸化後、同様の窒化条件を行えば、窒化量と深さは前述と同様 (1. 0 nm) で、膜厚差の大きい 2 つのゲート絶縁膜 (1. 5 nm と 2. 5 nm [いずれも酸化膜換算膜厚]) が形成できることになる。

【 0 0 4 9 】

(実施例 3)

以上は、窒化としてリモートプラズマ源を用いてラジカル窒素で表面を窒化させる場合について言及してきたが、膜厚差を付けた酸化後に、その表面部に窒化層を形成する方法であれば、窒化の方法は特に問わない。例えば、CVD 法によってアンモニアガスとシランガスを用いて窒化膜を堆積する方法を用いても、本

発明の構造及び効果を得ることができる。図 7 は、その製造方法を順を追って説明する半導体装置のゲート絶縁膜の部分の断面構造図である。図 1 と同じ部分の説明は割愛するが、プラズマ窒化の変わりに、1.0 nm 程度の CVD 窒化膜を酸化膜上に堆積する (e)。例えば、LPCVD 炉を用いて、700℃、30 Torr の条件で形成できる。この場合、表面窒化と異なることは、最終的な膜厚として、1.5 nm と 2.0 nm が必要な場合 (酸化膜換算膜厚)、最初の酸化は、薄膜部で 1.0 nm、厚膜部で 1.5 nm にする必要がある (d)。従って、前工程において、洗浄による化学酸化膜を除去しておいた方がよい (c)。実施例 1 (図 1) で説明した目標酸化膜厚 (1.7 nm と 2.2 nm) よりも薄いので、同じ膜厚差 0.5 nm をつけるためには、フッ素注入の条件を変える必要がある。例えばこの場合、3 KeV、 1×10^{15} atoms/cm² が必要になる。

【0050】

この場合も、酸化による膜厚差を十分つけること、突き抜けを停止できる窒化層が表面にあること、界面は純粋な酸化膜であることによって、実施例 1 と同様の、ゲートリーク電流低減、しきい値電圧変動の抑制、チャネル移動度劣化の防止、高信頼性化が実現できることは言うまでもない。

【0051】

(実施例 4)

今までの例では 2 つの異なる膜厚を有するゲート絶縁膜の形成方法とその構造について言及してきたが、本発明は、2 つにこだわることなく、3 つ以上の膜厚が異なるプロセスにも応用できる。

【0052】

図 8 は、3 つの異なる膜厚を形成する場合のプロセスを順を追って説明する半導体装置の断面構造図である。薄膜、中間膜及び厚膜を形成するにあたって、まず、厚膜を形成する領域のみ選択的にフッ素を注入して (a)、次に、中間膜を形成する領域のみに選択的にフッ素を注入する (b)。フォトリジストを剥離して、ゲート酸化前の洗浄や前処理を行った後、薄膜領域が 1.7 nm になる条件で熱酸化 (実施例 1 参照) を行くと、中間膜は 2.2 nm、厚膜は 2.7 nm と

なる (c)。当然のことながら、各々のフッ素の注入条件は、所望の膜厚が得られるように選択しなければならない。上記の場合、中間部は 3 KeV で $5 \times 10^{14} \text{ atoms/cm}^2$ 、厚膜部は 3 KeV で $1 \times 10^{15} \text{ atoms/cm}^2$ が好ましい。もちろん、エネルギーやドーズ量、その他の組み合わせで、様々な条件が選択可能である。その後、表面を窒化する。前述のプラズマ窒化の条件を用いれば、20%の窒素が深さ 1.0 nm まで (表面に) 形成される。最終的には (d) で示す様な構造になる。各々の酸化膜換算膜厚は、薄膜から、 1.5 nm 、 2.0 nm 、 2.5 nm となる。

【 0 0 5 3 】

(実施例 5)

上記の 3 つの異なる膜厚の場合で、厚膜が他の 2 つの膜の膜厚と大きく違う場合も考えられる。例えば、I/O 部の電源電圧が 3.3 V の場合では、 7.5 nm 程度が必要なことが多いが、薄膜部が 1.5 nm の時に、フッ素注入のみでその膜厚差 6.0 nm をつけることは難しい。従って、そのような場合、薄膜と中間膜を本発明で作製して、厚膜だけは別方法で作製する方法も考えられる。図 9 は、その構造を実現するためのプロセスを追った構造断面図である。

【 0 0 5 4 】

厚膜 7.3 nm を通常酸化で全面に形成した後 (a)、薄膜及び中間膜が望まれる領域のみ、フォトレジスト工程を経て、酸化膜を除去する (b)。次に、中間膜が必要な領域のみにフッ素を注入 (3 KeV 、 $5 \times 10^{14} \text{ atoms/cm}^2$) して (c)、フォトレジストを剥離し、ゲート酸化前の洗浄と必要によっては前処理を経た後、薄膜の目標である 1.7 nm の熱酸化膜を形成する。その時、中間膜部は 2.2 nm の純粋な酸化膜が形成され、最初から形成されている厚い酸化膜は、この酸化処理によってわずかに膜厚が増え 7.7 nm になる (d)。この状態で窒化処理を行うと、 1.5 nm 、 2.0 nm 、 7.5 nm の、表面に 1.0 nm 厚の窒化層を有する 3 つの膜厚 (酸化膜換算膜厚) が異なるゲート絶縁膜が形成できる (e)。

【 0 0 5 5 】

(実施例 6)

上記例で、厚膜領域のみを電極を含めて先に形成してしまい、その後で、比較的薄い2つの膜厚のゲート絶縁膜を形成するプロセスも考えられる。この場合、窒化はその2つの絶縁膜に対してのみ行われるので、最終的な3つのゲート絶縁膜の構造は、厚膜のみ純粋な酸化膜で形成され、残る2つが表面に窒化層がある絶縁膜となる（図10）。

【0056】

もちろん、これらの応用により、4つの異なる膜厚を有するゲート絶縁膜を持った半導体装置やそれ以上複数の膜厚を有する場合にも、本発明は有効であり、効果も十分得られることは言うまでもない。

【0057】

【発明の効果】

上記に説明したように、本発明によると、2つ以上の膜厚が必要な時に、十分な膜厚差を、簡単なプロセスで形成できる。しかも、薄膜あるいは（かつ）比較的薄膜の絶縁膜として、窒素を導入する必要がある時でさえ、上記膜厚差を実現することができる。更に、表面に窒化層を形成できるため、ゲート電極からの不純物の拡散を表面でブロックできるので、膜中不純物による信頼性劣化を抑制できるだけでなく、その不純物がシリコン基板内に突き抜けて、しきい値電圧をシフトさせるような現象も防止でき、安定したデバイスの提供が可能となる。

【0058】

更に、窒化層が表面にあることによって、従来例Aで問題となる界面窒化層による界面準位の増加、それに伴うトランジスタのキャリア移動度の低下を防止できるので、高速なトランジスタの実現が可能になる。しかも、十分な量の窒素の存在により、絶縁膜としての比誘電率が酸化膜のそれよりも大きくなる結果、ゲートリーク電流を1桁程度抑制できるので、回路としての待機電力を低減できる。

【図面の簡単な説明】

【図1】

本発明のゲート絶縁膜の表面近傍に窒素を含む絶縁膜をプラズマ窒化により形成したプロセスを追った断面構造図である。

【図 2】

本発明のゲート絶縁膜の表面近傍に窒素を含む絶縁膜を有するトランジスタの断面構造図である。

【図 3】

ゲートリーク電流を調べるために電流－電圧特性を評価した図である。

【図 4】

pMOS トランジスタのしきい値電圧の比較をした図である。

【図 5】

電氣的なストレスを印加した時に、破壊するまでの寿命を調べる T D D B 特性の図である。

【図 6】

フッ素注入の条件を変えて、一定の酸化条件で酸化した場合、実現できる膜厚差について調べた図である。

【図 7】

本発明のゲート絶縁膜の表面近傍に窒素を含む絶縁膜を C V D 窒化により形成したプロセスを追った断面構造図である。

【図 8】

本発明の 3 つの膜厚が異なるゲート絶縁膜の表面近傍に窒素を含む絶縁膜の形成プロセスを追った断面構造図である。

【図 9】

本発明の別の 3 つの膜厚が異なるゲート絶縁膜の表面近傍に窒素を含む絶縁膜の形成プロセスを追った断面構造図である。

【図 1 0】

本発明の更に別の 3 つの膜厚が異なるゲート絶縁膜の表面近傍に窒素を含む絶縁膜の形成プロセスを追った断面構造図である。

【図 1 1】

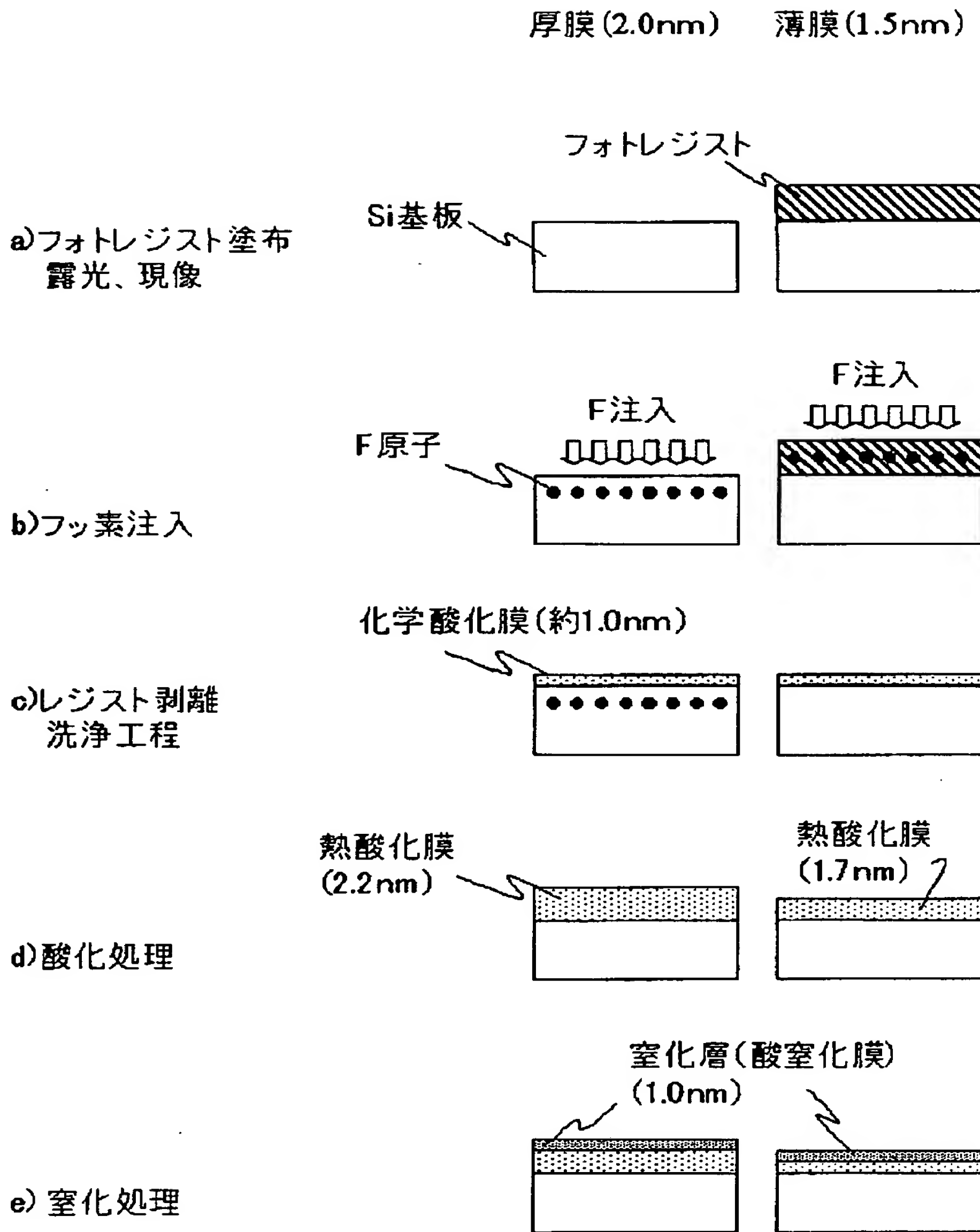
従来のゲート絶縁膜の界面近傍に窒素を含む絶縁膜の形成プロセスを追った断面構造図である。

【図 1 2】

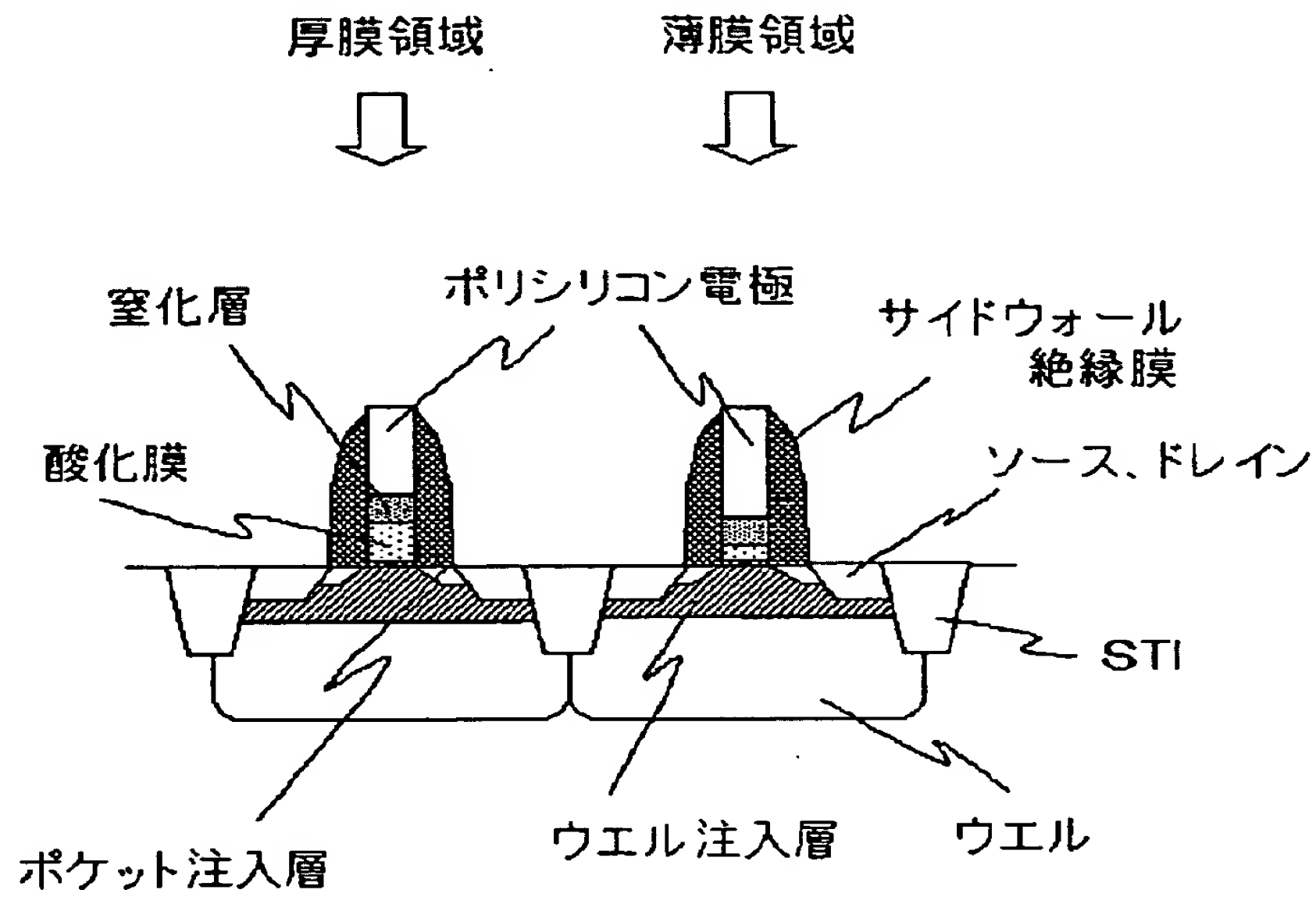
従来のゲート絶縁膜の表面近傍に窒素を含む絶縁膜の形成プロセスを追った断面構造図である。

【書類名】 図面

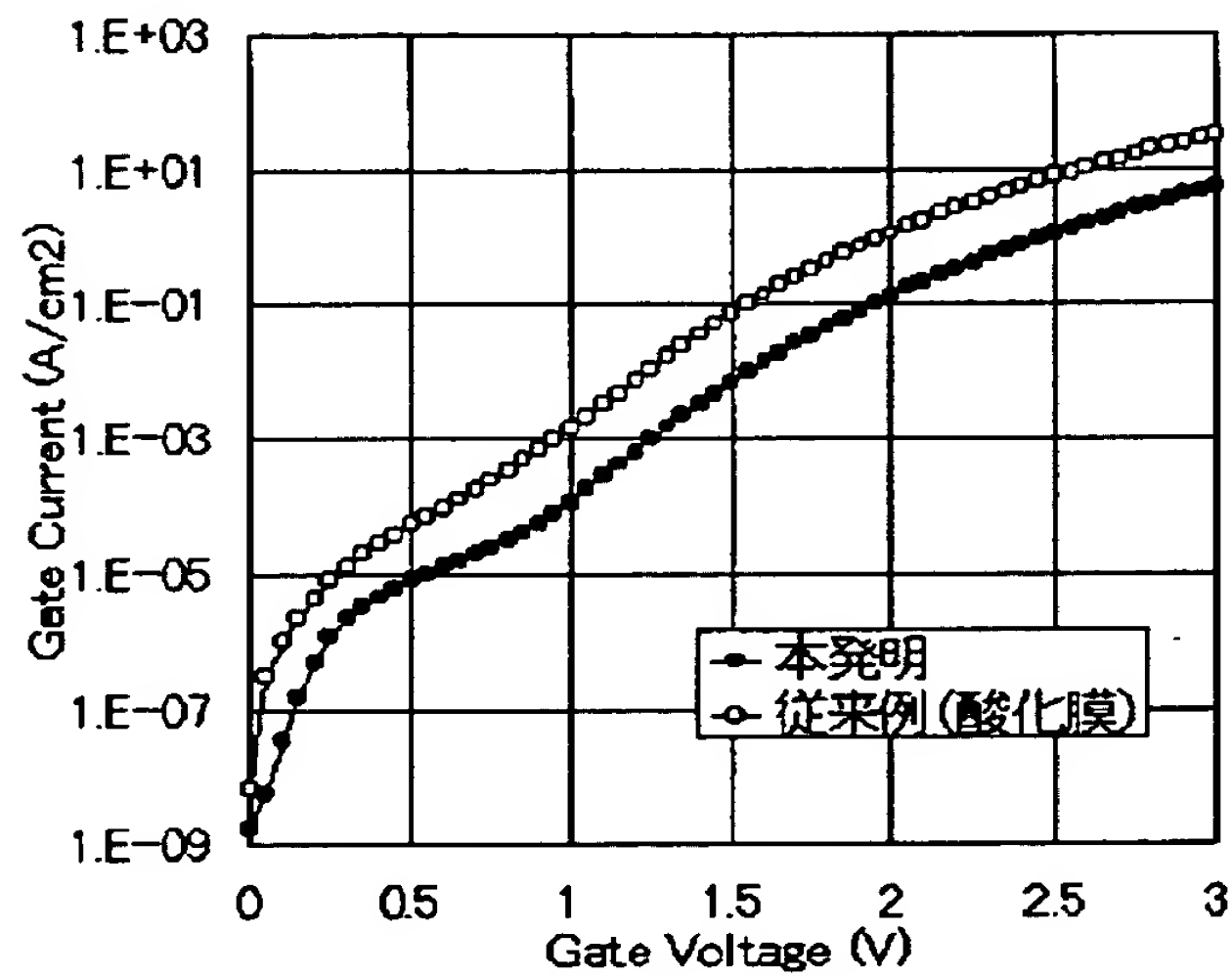
【図 1】



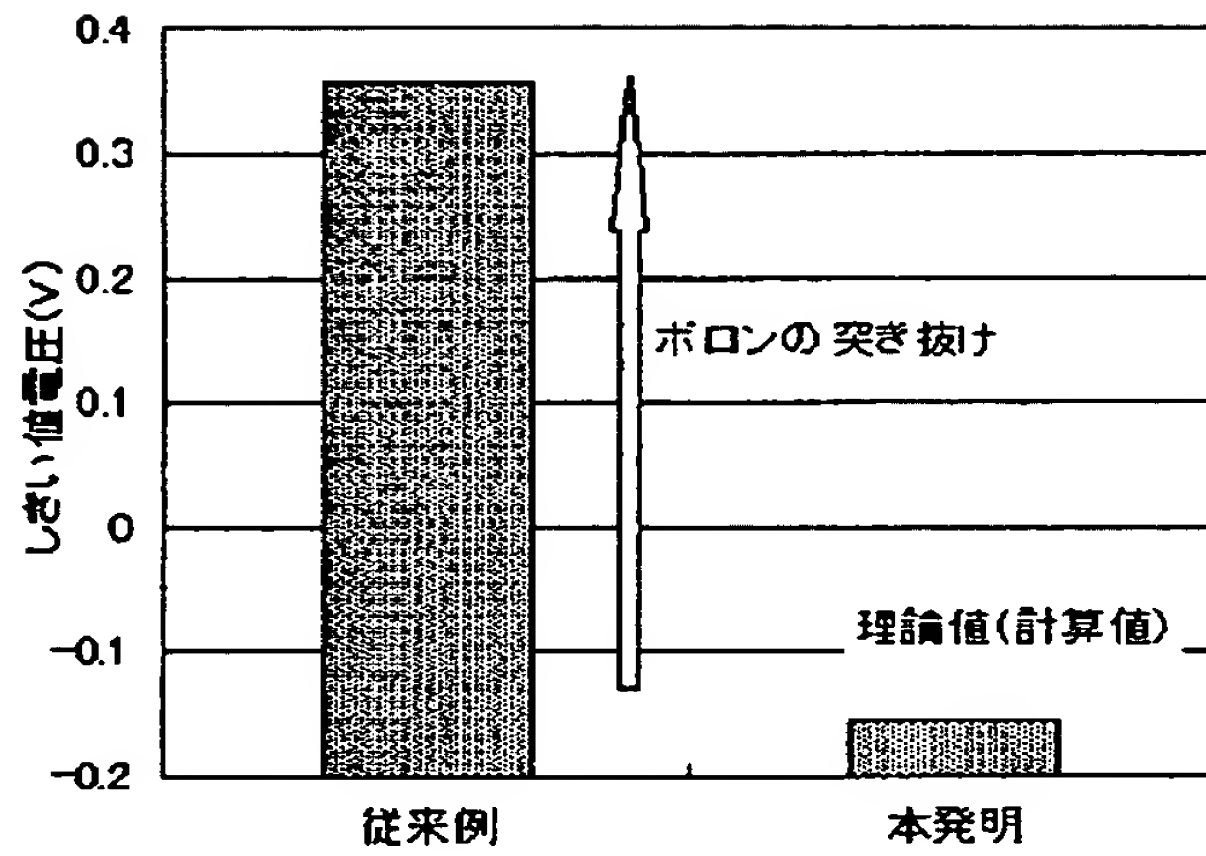
【図 2】



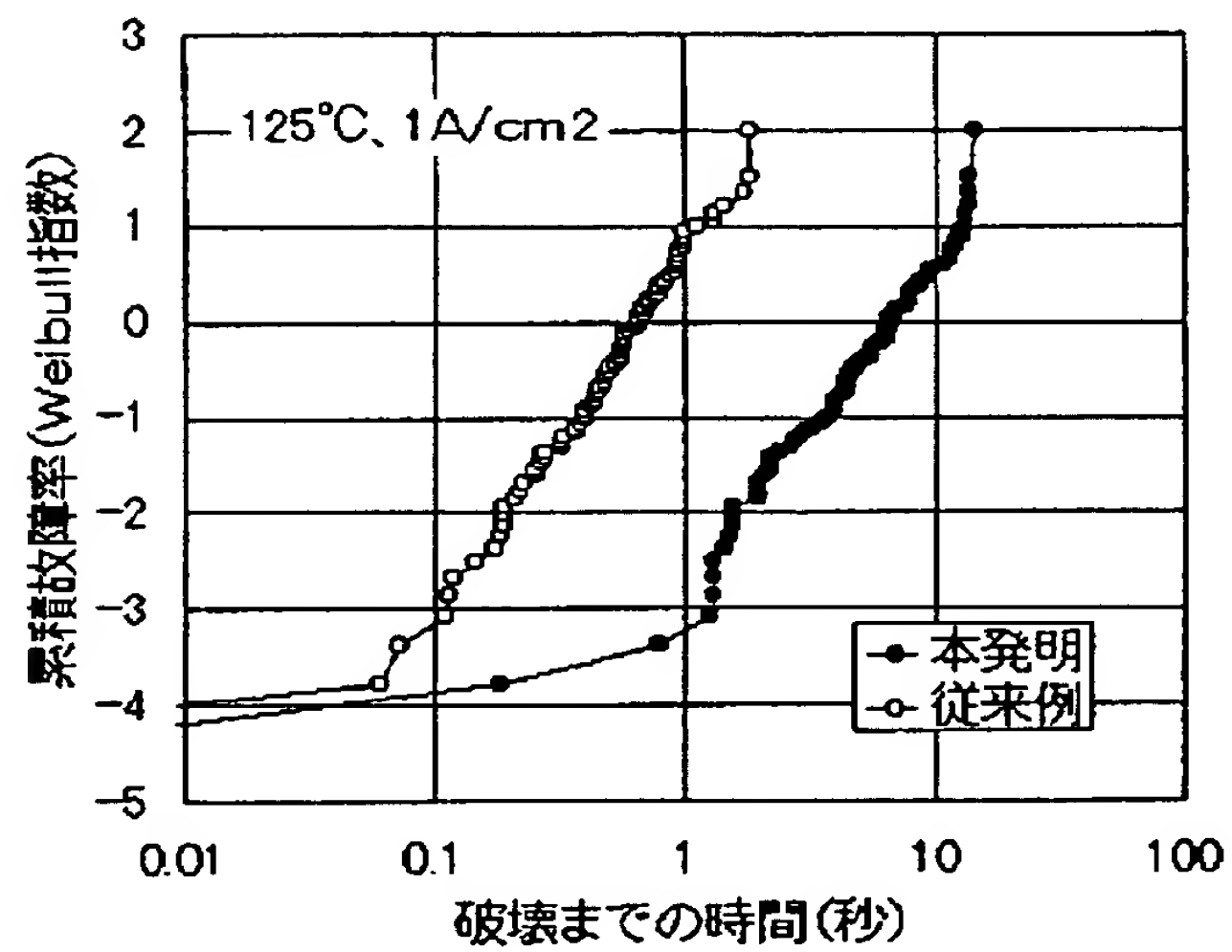
【図 3】



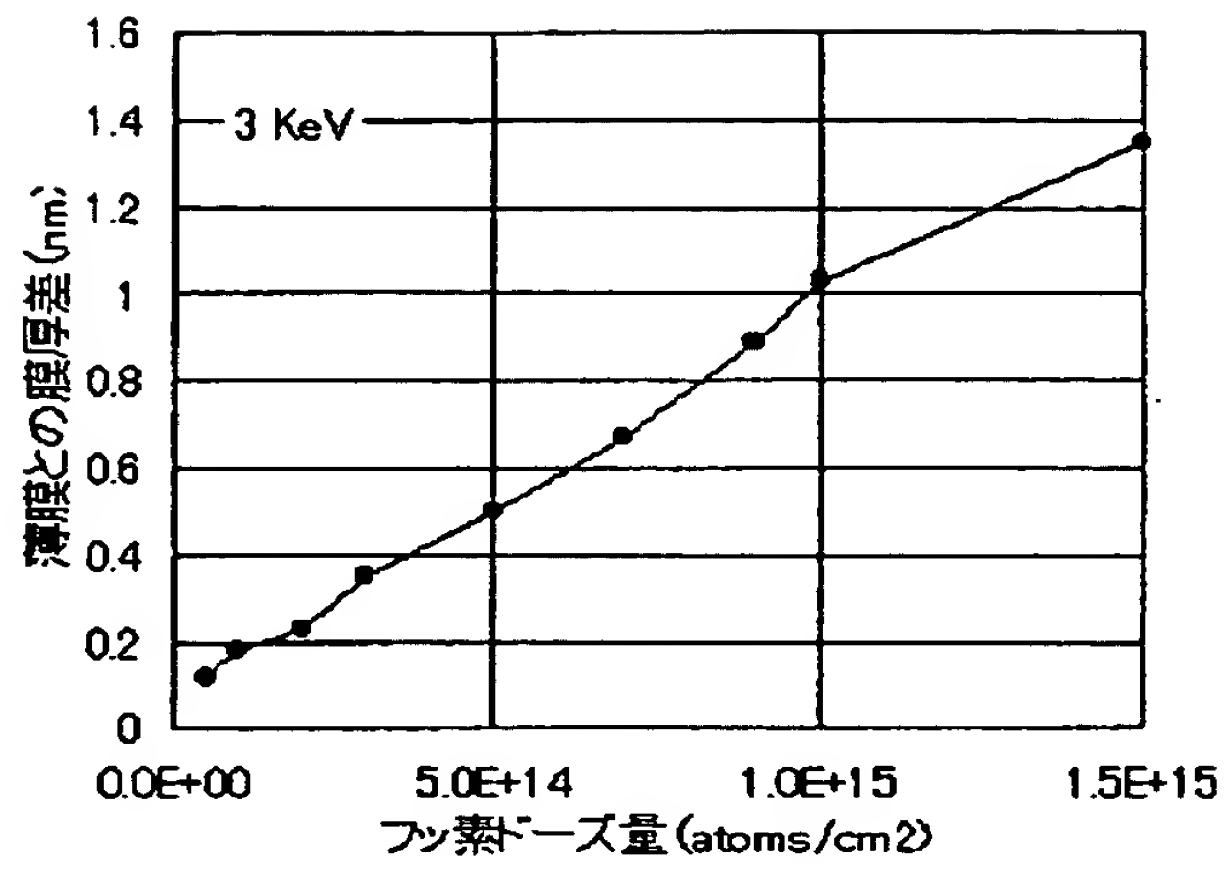
【図 4】



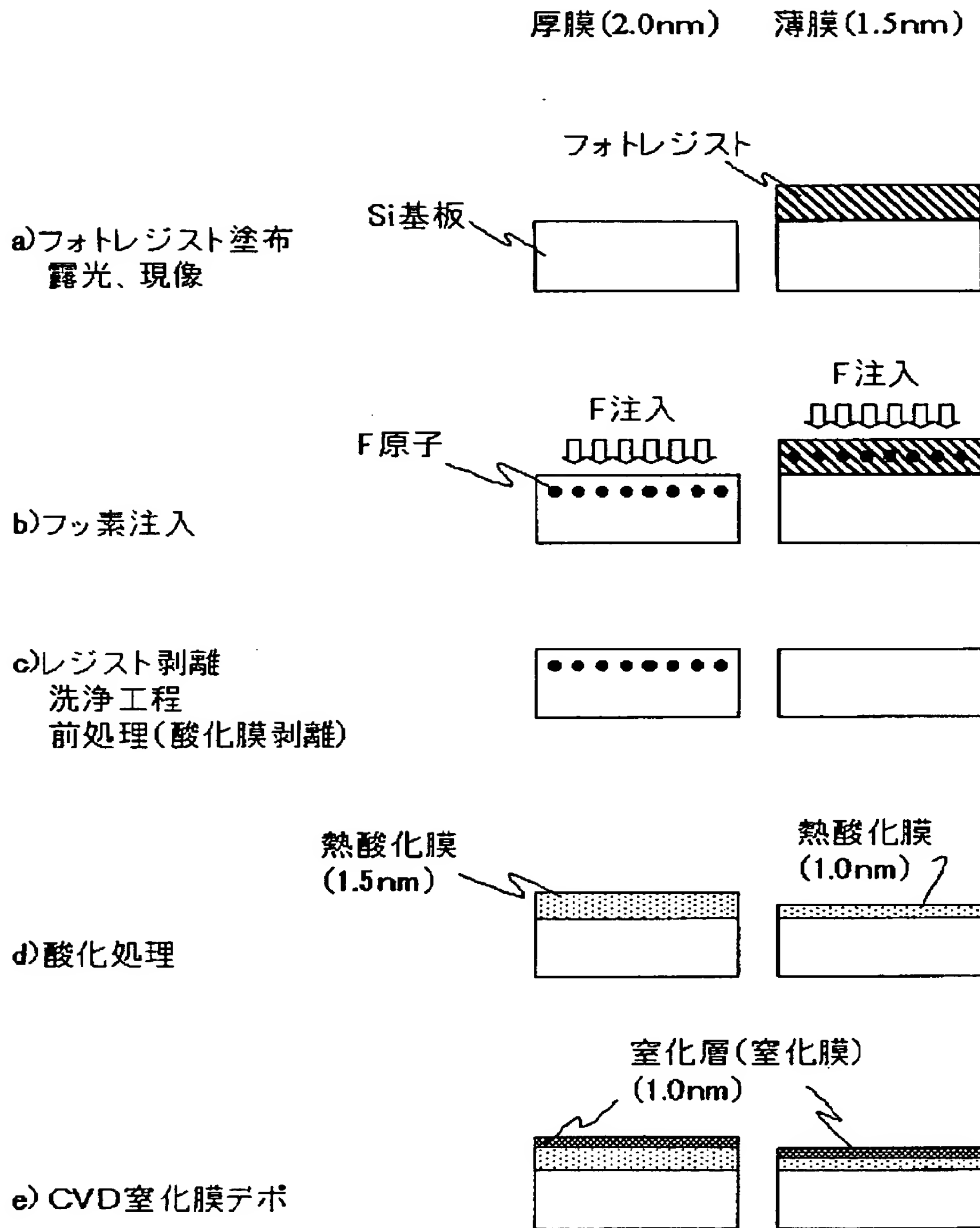
【図 5】



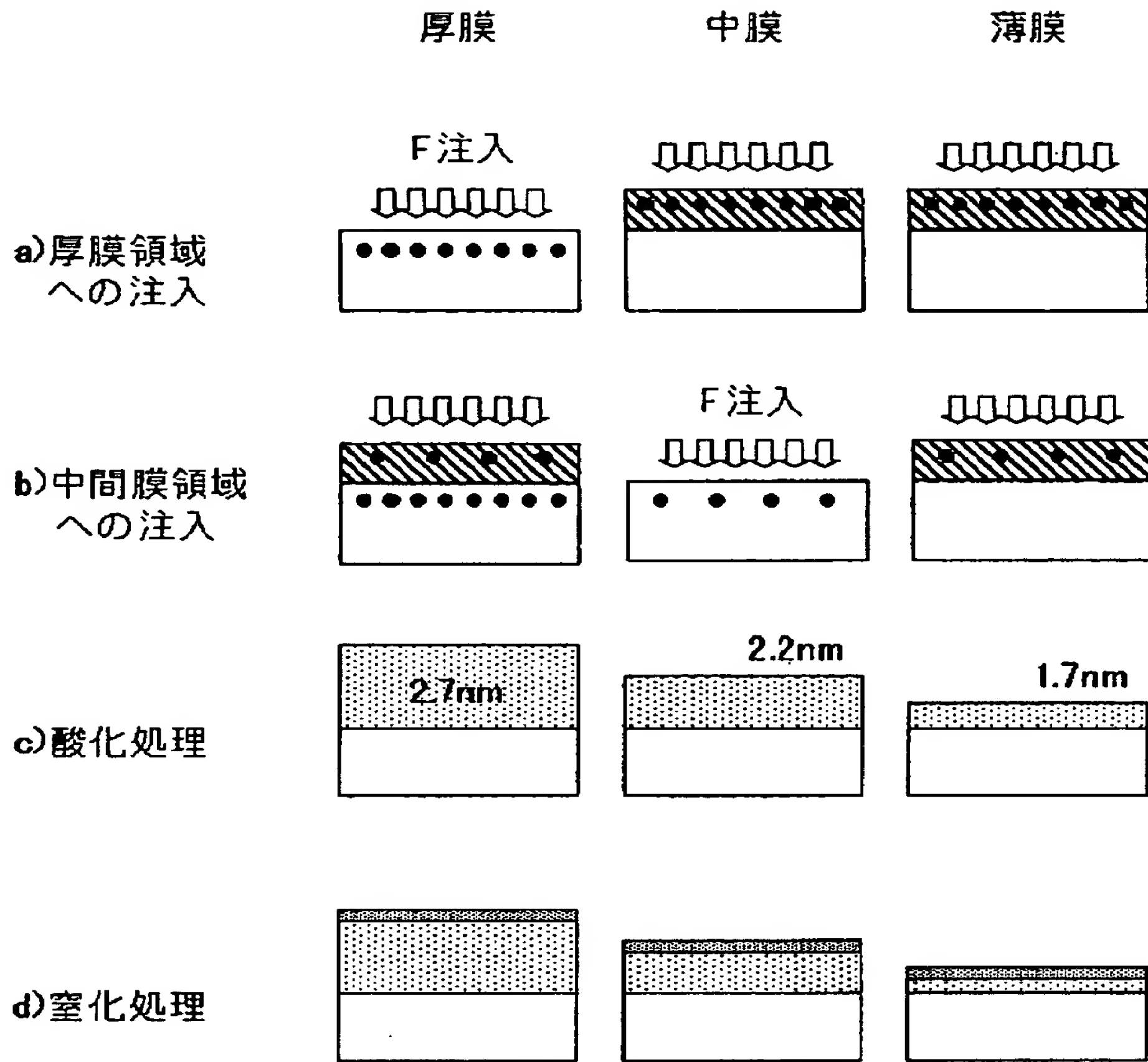
【図 6】



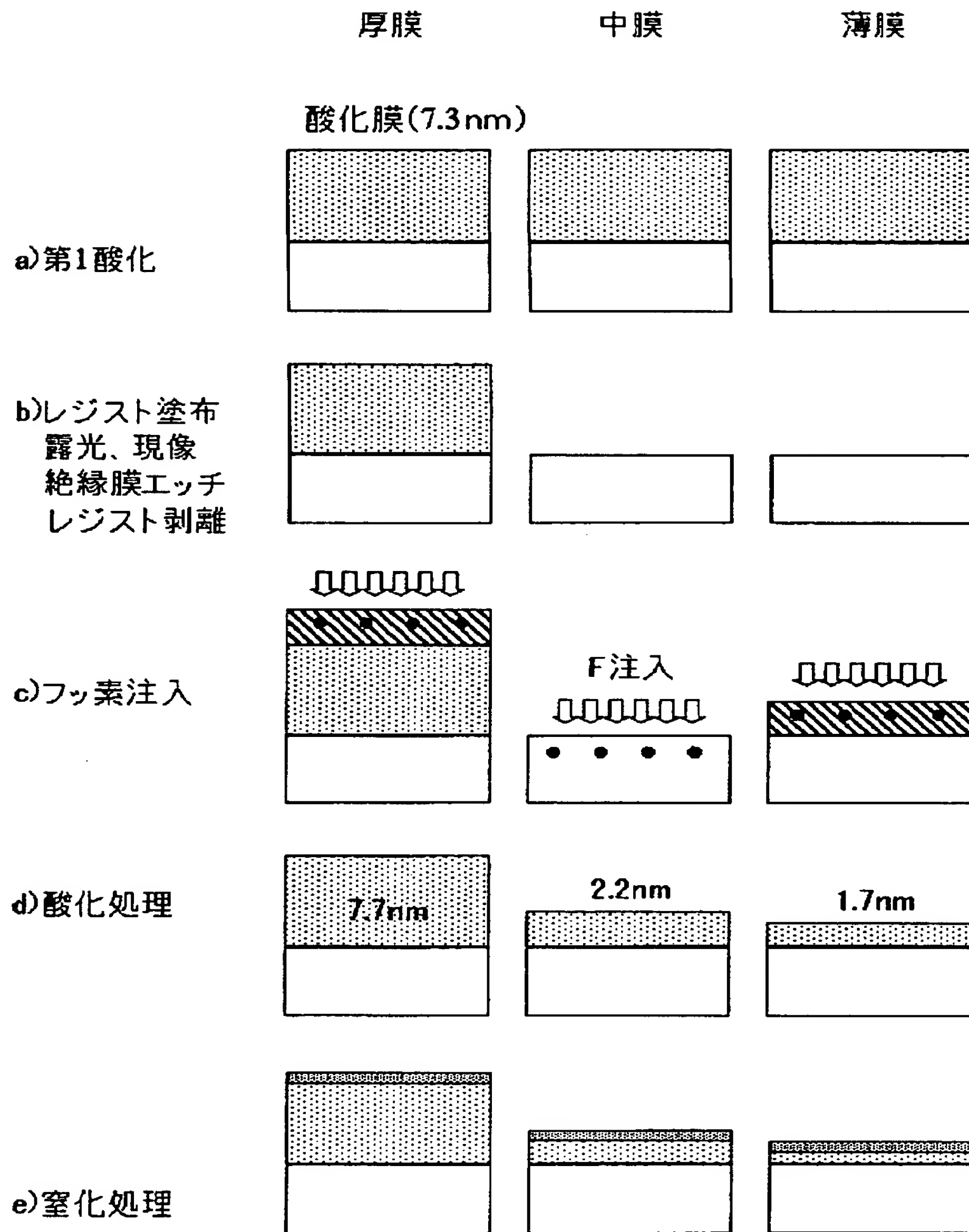
【図 7】



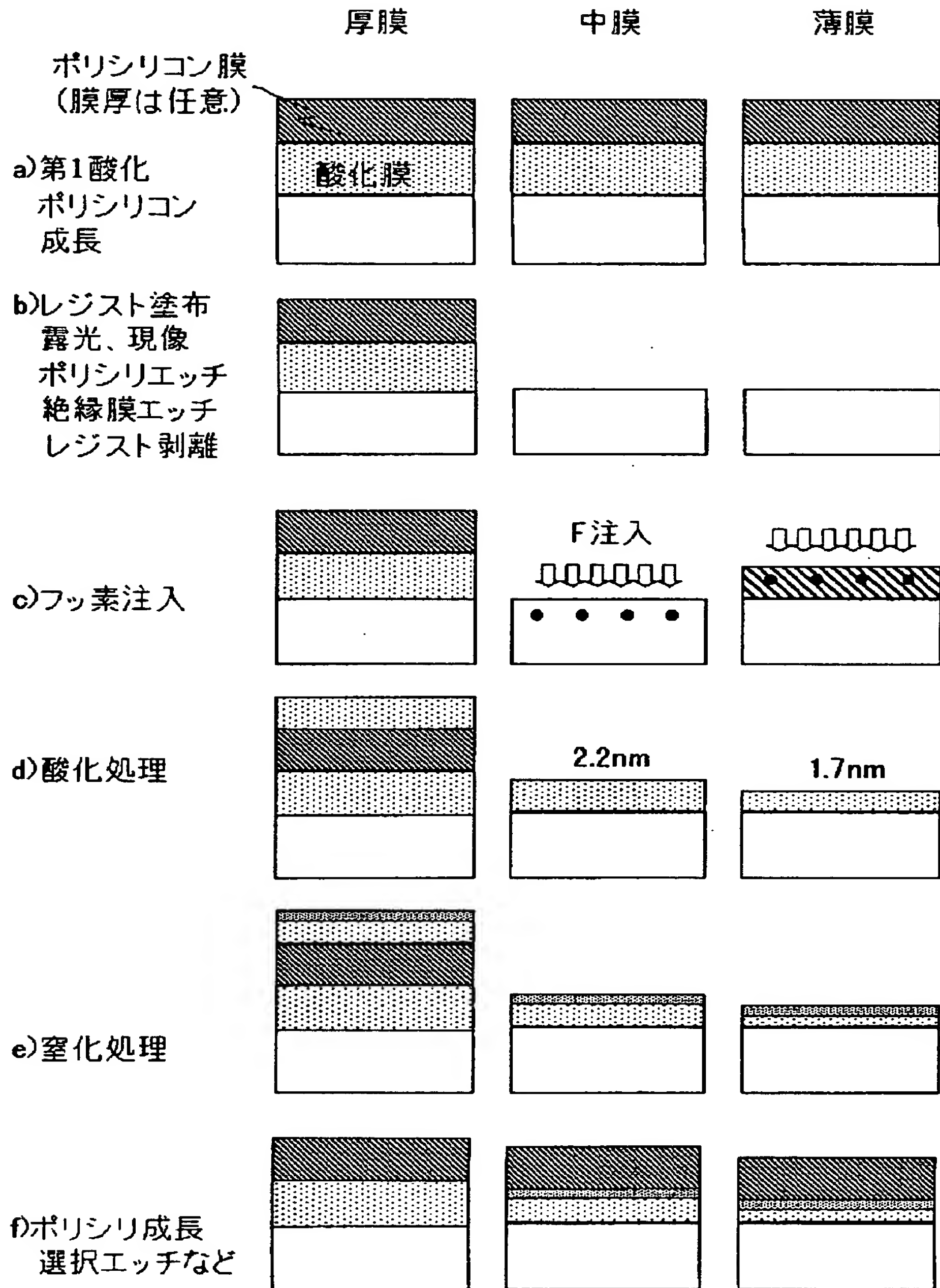
【図 8】



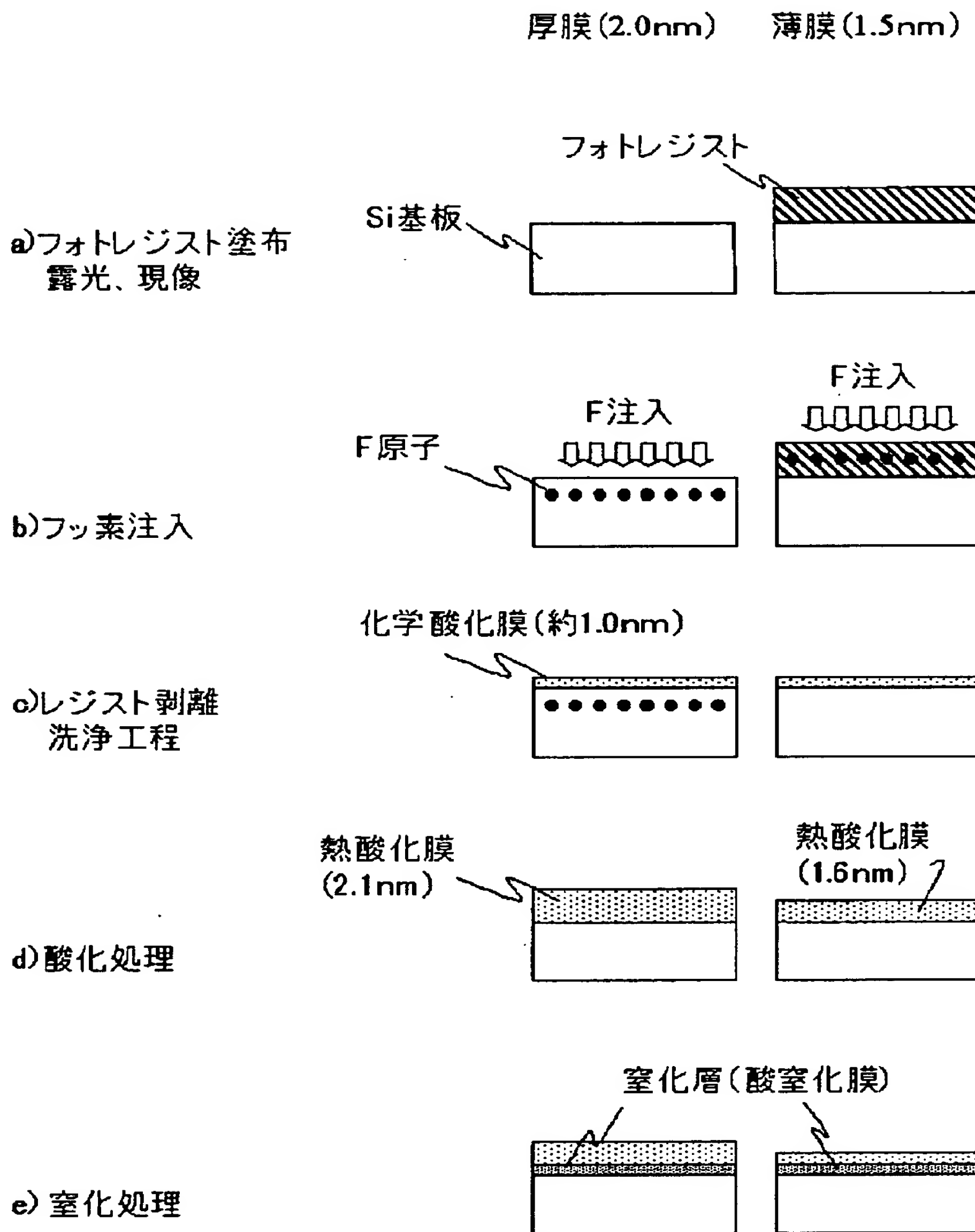
【図 9】



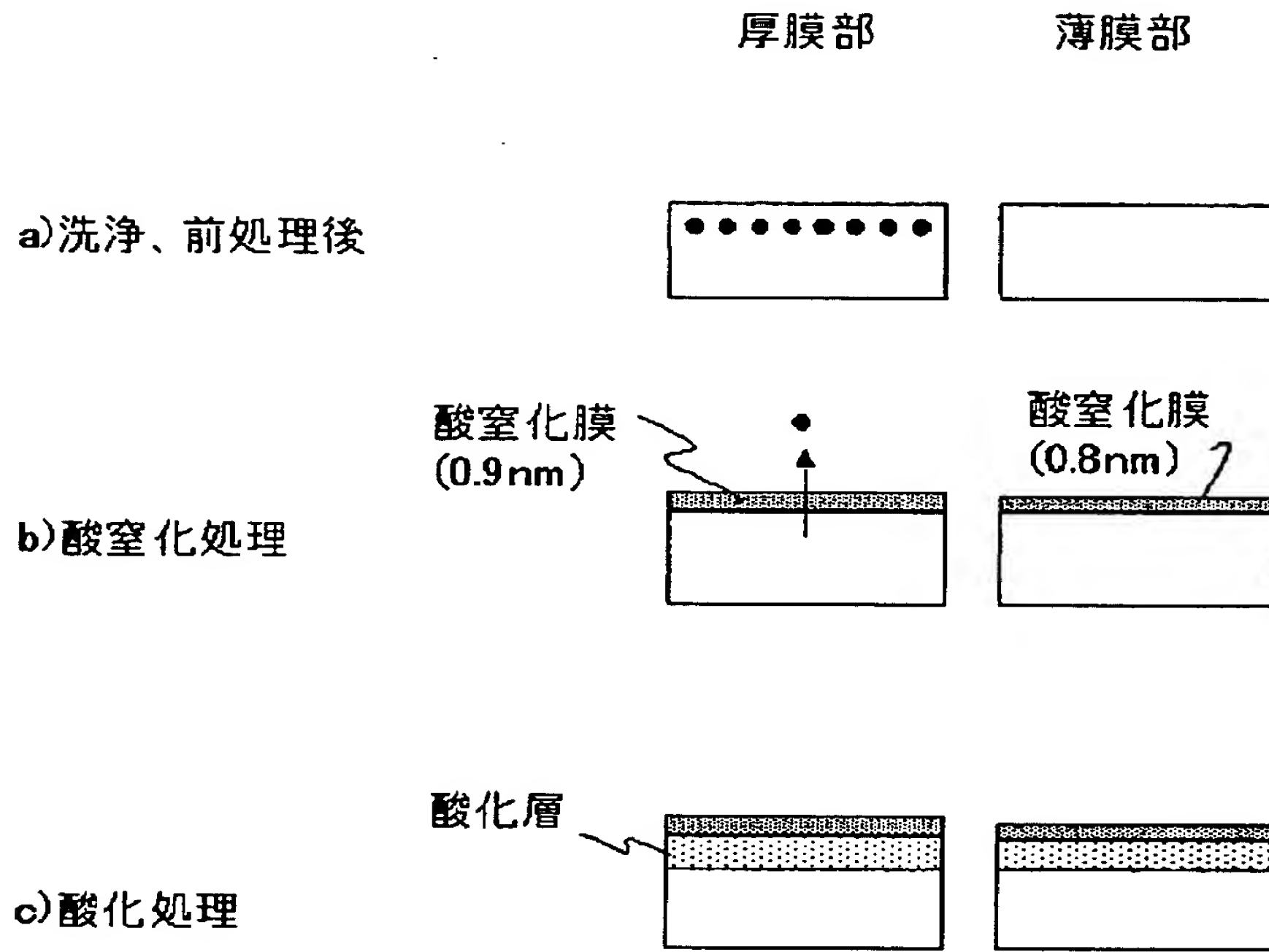
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 十分な膜厚差を作り出し、しかも、簡便で、信頼性が高く、不純物の突き抜けを抑制し、更に消費電力の少ない高速のトランジスタを実現する半導体装置の製造方法及びその製造方法により形成される半導体装置を提供することにある。

【解決手段】 同一チップあるいはウエハ上に、膜厚の異なる複数のゲート絶縁膜を有する半導体装置の製造方法において、該ゲート絶縁膜の少なくとも2つの絶縁膜が窒素を含むものであって、該ゲート絶縁膜の膜厚が酸化膜換算で最薄膜が要求される領域にフッ素を注入する工程と、酸化性雰囲気中で酸化して、膜厚の異なるゲート酸化膜を形成する工程と、該ゲート酸化膜の表面を窒化処理又は窒化膜を堆積する工程と、を有することを特徴とする半導体装置の製造方法及びその製造方法により形成される半導体装置。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社